

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 25 日  
Application Date

申請案號：091125207  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 6 月 18 日  
Issue Date

發文字號：09220598160  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

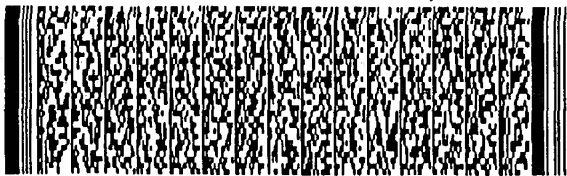
一、 發明名稱	中文	可使用除錯系統開機之方法及電腦系統
	英文	
二、 發明人	姓名 (中文)	1. 郭宏益
	姓名 (英文)	1. Hubert Kuo
	國籍	1. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號八樓
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：可使用除錯系統開機之方法及電腦系統)

一種可使用除錯系統開機之方法，適用電腦系統，電腦系統具有中央處理器、系統匯流排、週邊匯流排、擴充匯流排、南橋及北橋、以及連接至擴充匯流排且儲存有基本輸出入系統程式碼之唯讀記憶體，除錯系統係連接至週邊匯流排。此該方法包括以下步驟：將中央處理器切換至一正常模式，使中央處理器在系統匯流排上放出一指向唯讀記憶體之資料要求；將中央處理器切換至一除錯模式，使中央處理器在系統匯流排上放出一指向除錯系統之資料要求；由北橋將位於系統匯流排上之資料要求轉送至週邊匯流排上；依資料要求之指向，由南橋或除錯系統將基本輸出入系統程式碼載入該中央處理器。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

本發明係有關於一種執行電腦系統開機之方法，特別有關於一種可使用除錯系統開機之電腦系統與方法，可在基本輸出入系統(BIOS)程式碼或其唯讀記憶體(ROM)故障時，仍然可以執行開機程序進行除錯。

一般來說，電腦系統的架構係由多個不同的層次組成。最低階者係實際之硬體層，而最高階者係與使用者互動之應用軟體。在硬體與應用軟體之間的則是系統軟體。系統軟體本身也會分成多個部份，包含了作業系統核心及外層、裝置驅動程式、或是多工執行程式。

通常在硬體與系統軟體之間還會包含一個低階的軟體層，稱之為基本輸出入系統(BIOS)。BIOS在系統或應用軟體與硬體之間提供了基本的輸出入服務功能，並處理由系統發出之中斷命令(interrupt)。經由中斷命令的使用可以對電腦系統進行必要之控制。這些中斷命令可以由微處理器、系統硬體或軟體發出。BIOS則以數位邏輯之方式處理這些中斷命令。當一中斷命令產生時，電腦系統之控制便會轉交到中斷向量(interrupt vector)上，中斷向量定義了在BIOS中，配予某個中斷碼之路由的區段位移(segment: offset)位址。

BIOS中斷服務副程式(ISRs, Interrupt Service Routines)處理由硬體裝置發出的中斷命令。中斷服務副程式使用了中央處理器及BIOS資料區中之暫存資料(register)。而BIOS裝置服務副程式(DSRs, Device Service Routines)則處理藉由使用INT指令所發出之軟體

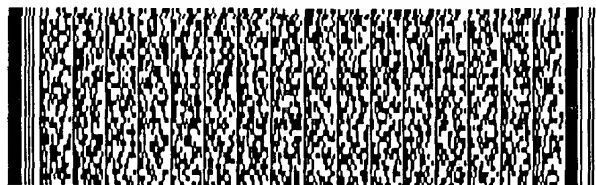
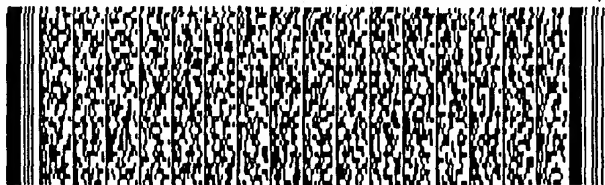
## 五、發明說明 (2)

### 中斷命令。

BIOS除了上述在電腦系統運作期間提供之服務外，在電腦系統一開機時，必需先執行BIOS程式碼，以對於整個電腦系統進行初始化及組態設定之工作。BIOS此時會執行一個啟始程式，被稱之為電源啟動自我測試(POST)程式。此程式會執行許多必要之工作，包括了隨機存取記憶體之測試、清查安裝於電腦系統中所有的裝置、對軟碟、硬碟、鍵盤、平行埠、序列埠及其他安裝於電腦系統中之裝置(如CD-ROM或音效卡等等)進行組態設定、將提供必要特殊功能(如隨插即用、電源管理等)之電腦硬體進行初始化。如果這些工作都能夠成功的完成，接著BIOS將會開始載入作業系統，如磁碟作業系統(DOS)、LINUX、視窗95、視窗98等等，最後完成整個開機作業。

由於電腦系統的開機作業十分複雜，不論是BIOS或是作業系統都可能在啟動時發生錯誤而導致開機失敗，使得整個電腦系統根本無法運作，尤其是掌控開機作業中最基本工作的BIOS。因此，對於負責BIOS設計之系統晶片組製造者來說，對BIOS程式碼進行除錯(debug)是十分重要之工作。

然而，在對系統BIOS進行除錯時，最令人困擾的狀況是當系統BIOS發生錯誤時，電腦系統或是晶片組之運作根本無法啟動，而沒有辦法得知錯誤發生之原因。此時必需使用最基本的邏輯分析方法以直接量測腳位信號之方式才有可能找出錯誤原因，十分耗費人力與時間。

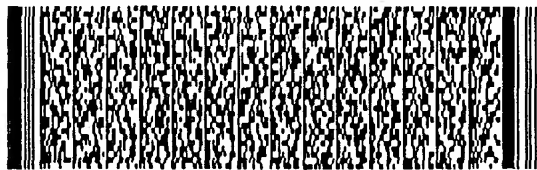


### 五、發明說明 (3)

為了解決上述問題，本發明提供一種可使用除錯系統開機之方法及電腦系統，藉由使中央處理器對唯讀記憶體之資料要求轉向除錯系統，而由除錯系統來回應此一要求，便可以忽略故障之BIOS，由除錯系統接手開機程序，之後再由除錯系統對BIOS進行修正或錯誤分析。

本發明之一目的在於提供一種可使用除錯系統開機之方法，適用於一電腦系統，該電腦系統具有一中央處理器、一系統匯流排、一週邊匯流排、一擴充匯流排、一第一及第二橋接器、以及一連接至該擴充匯流排且儲存有第一基本輸入系統程式碼之唯讀記憶體，該除錯系統係連接至該週邊匯流排，該方法包括以下步驟：將該中央處理器切換至一正常模式，在該正常模式下，該中央處理器在該系統匯流排上放出一指向該唯讀記憶體之第一資料要求；將該中央處理器切換至一除錯模式，在該除錯模式下，該中央處理器在該系統匯流排上放出一指向該除錯系統之第二資料要求；由該第一橋接器將位於該系統匯流排上之第一或第二資料要求轉送至該週邊匯流排上；使該第二橋接器以儲存於該唯讀記憶體中之第一基本輸入系統程式碼回應位於該週邊匯流排上之第一資料要求，而將該第一基本輸入系統程式碼載入該中央處理器；以及使該除錯系統以一第二基本輸入系統程式碼回應該第二資料要求，而將該第二基本輸入系統程式碼載入該中央處理器。

本發明之另一目的在於提供一種可使用除錯系統開機



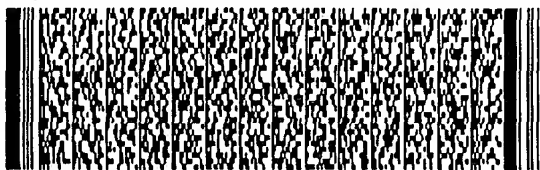
#### 五、發明說明 (4)

之電腦系統，包括：一中央處理器，可切換於一正常模式及除錯模式之間，在該正常模式下，該中央處理器在該系統匯流排上放出一第一資料要求，而在該除錯模式下，該中央處理器在該系統匯流排上放出一指向該除錯系統之第二資料要求；一系統、週邊及擴充匯流排，其中該中央處理器放出該第一或第二資料要求至該系統匯流排上，該除錯系統係連接至該週邊匯流排；一唯讀記憶體，連接至該擴充匯流排並儲存有一第一基本輸出入程式碼，該第一資料要求係指向該唯讀記憶體；一第一橋接器，將位於該系統匯流排上之該第一或第二資料要求轉送至該週邊匯流排；以及一第二橋接器，以儲存於該唯讀記憶體中之第一基本輸出入系統程式碼回應位於該週邊匯流排上之第一資料要求，而將該第一基本輸出入系統程式碼載入該中央處理器；其中，該除錯系統以一第二基本輸出入系統程式碼回應該第二資料要求，而將該第二基本輸出入系統程式碼載入該中央處理器。

藉此，本發明利用一切換信號產生器來開啟或強制禁止中央處理器中之A20閘，使中央處理器發出之資料要求指向位址改變，而轉向除錯系統，如此便可以忽略唯讀記憶體中之BIOS而由除錯系統接手開機程序，進而進行BISO之修正或錯誤分析。

以下，就圖式說明本發明之一種可使用除錯系統開機之方法及電腦系統之實施例。

實施例

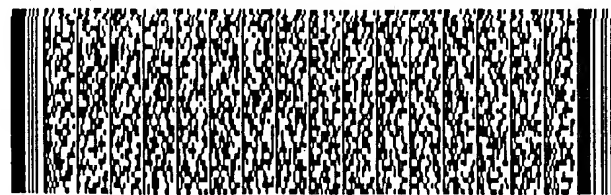
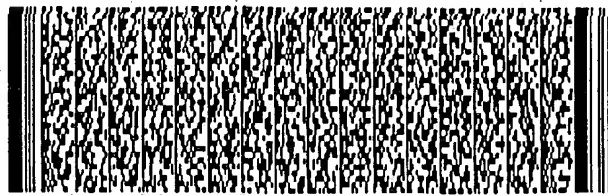




## 五、發明說明 (5)

第1圖顯示了本發明一實施例中可使用除錯系統開機之電腦系統方塊圖。在電腦系統中，所有的元件及匯流排係設置於一可提供必要之繞線、插槽、及其他各式各樣連接裝置之主機板(圖未顯示)上。電腦系統具有一中央處理器10，主要由微處理器構成，如英特爾奔騰第四代(Intel Pentium 4)。中央處理器10連接至一系統匯流排12，亦會有一快取記憶體13與其連接。

在中央處理器10中會具有一特殊的A20閘(A20 gate)腳位101。此一A20閘腳位101之由來，係因在電腦系統發展的過程中，舊的8086微處理器只有1百萬位元(1MB)大小的位址空間，而只使用了20個位址線(A0~A19)，超過此位址範圍時，8086微處理器便會自動將位址歸零，即所謂的「線回」(wrap around)；之後在新的80286微處理器發展出來後，其可以有一千六百萬位元(16MB)大小的位址空間，而使用了24個位址線，但是為了使80286微處理器能夠與舊的電腦系統相容，它必需提供與8086微處理器相同的位址處理方式，因此在80286微處理器中提供了兩種操作模式，即模擬舊系統之真實模式(real mode)及直接使用24個位址線之保護模式(protected mode)。為了能讓24條位址線產生只有等效於20條位址線之效果，在80286之後之微處理器中，會使用一A20閘，當此閘被禁止時(disable)，便會使第21條位址線(A20)永遠輸出位元「0」，而使中央處理器10輸出之位址範圍鎖在1MB之內，達到模擬舊系統之目的。隨著微處理的不斷進步，新一代



##### 五、發明說明 (6)

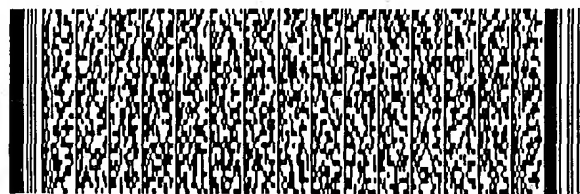
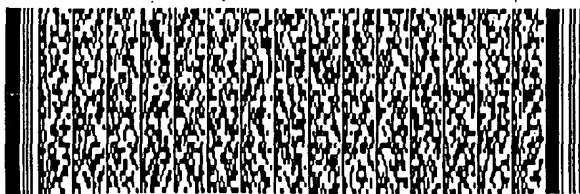
的處理器，如Intel Pentium 4，都已經直接將此閘開啟而完整地使用24條位址線。

因此，在本實施例中，為了達成在一除錯模式下能夠將原來指向BIOS唯讀記憶體之資料要求轉向至除錯系統之目的，使用了一切換信號產生器102輸出一切換信號至中央處理器10之A20閘腳位101。此切換信號將強制使中央處理器10中之A20閘被禁止，使得中央處理器10在位址線A20上之位元被強制改變，改變後的位址將設定給除錯系統。另一方面，在正常模式下，切換信號產生器102不會觸發切換信號，使中央處理器10之輸出位址保持原有值。

系統匯流排12經由一記憶體控制器/週邊匯流排主控器橋接(MC/PBHB)晶片(一般通稱為「北橋晶片」)20與一週邊匯流排18連接。週邊匯流排18係一週邊控制器連接(PCI)匯流排。關於PCI匯流排與橋接器之信號傳輸與協定可以參閱西元1993年4月份出版之「PCI-Local Bus Specification, Rev. 2.0」。

有多種不同之裝置可以連接至週邊匯流排18，如影像處理裝置(顯示卡)22。此外，一除錯介面卡24亦連接至週邊匯流排18。除錯介面卡24之功能在於做為電腦系統與另一除錯用之電腦系統間之連接介面。

週邊匯流排18經由一週邊至擴充匯流排橋接器晶片(一般通稱為「南橋晶片」)28而與一擴充匯流排30連接。擴充匯流排30可以是一工業標準結構(ISA)匯流排。南橋晶片28中，亦包含了一個位址解碼器283，用以對唯讀記



#### 五、發明說明 (7)

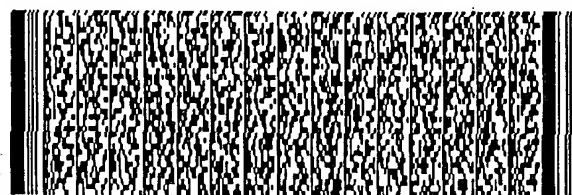
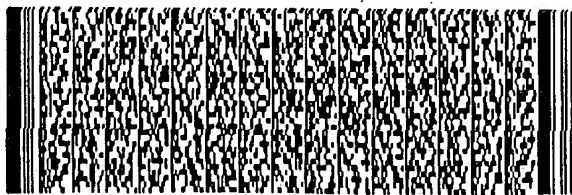
憶體(ROM)16之位址進行解碼。當中央處理器10發出指向唯讀記憶體16之資料要求時，南橋晶片28將負責唯讀記憶體16中BIOS程式碼之讀取工作，以載入中央處理器10。

有多種不同之裝置可以經由插槽32a、32b及32c連接至擴充匯流排30。唯讀記憶體16係經由插槽34連接至擴充匯流排30。唯讀記憶體16儲存了BIOS所使用之程式碼。

第2圖顯示了電腦系統在使用唯讀記憶體16或除錯系統開機時之信號時序。事實上，在PCI匯流排之通訊協定中使用了非常多的信號，此處僅顯示與本發明有關之信號。

如第2圖所示，信號CLK係來自於系統之時脈信號，而信號RESET則是一重設信號，進行重設時，信號RESET會先產生一邏輯高準位，之後再回到預設之低準位。

不論在正常或除錯模式下，當中央處理器10放出一指向唯讀記憶體或除錯系統之資料要求至系統匯流排12時，北橋晶片20將會觸發信號ROMSEL\$。如一般的使用習慣，在信號名稱後加上「\$」符號係代表此信號在被觸發時係具有低邏輯位準(active low)。被要求存取之資料位址(唯讀記憶體位址或除錯系統記憶體之位址)將隨著資料要求而送出，並被北橋晶片20轉送到PCI匯流排18上。同時，資料要求中亦載有相關之控制信號以表示一個讀取週期被要求。依據PCI匯流排之通訊協定，被資料要求指向之裝置應該在該讀取週期中位址相位後三個時脈週期以內回應一裝置選擇信號DEVSEL\$，以表示位址有效且可進行

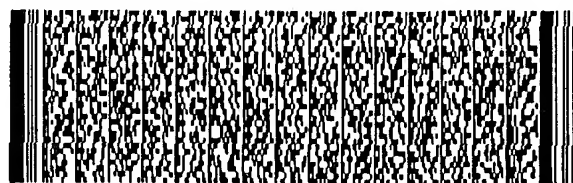
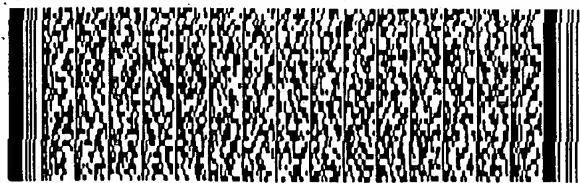


#### 五、發明說明 (8)

解碼。因此，當中央處理器10處於正常模式下時，南橋晶片28便會使用來自北橋晶片20之信號ROMSEL\$觸動其位址解碼器283進行解碼並在三個時脈週期之內回應DEVSEL\$信號至PCI匯流排18上，同時在解碼完成後會讀取唯讀記憶體16中與所解碼位址相對之BIOS程式碼資料，以將其載入中央處理器10中。另一方面，當中央處理器10處於除錯模式時，由於其發出之資料要求指向被改變而轉向除錯介面卡24，因此南橋晶片28並不會對北橋晶片20所發出之ROMSEL\$信號做回應，而是由除錯介面卡24在PCI匯流排18上產生DEVSEL\$信號進行回應，並對資料要求中之位址進行解碼，依據解碼後之位址，將其本身儲存之BIOS程式碼資料送出而載入中央處理器10中。

由上述之操作可知，由於在中央處理器10被切換至除錯模式時，其原來卻指向唯讀記憶體之資料要求被改變而轉向除錯介面卡24，因此除錯系統便可以取代南橋晶片28來對北橋晶片20所發出之ROMSEL\$信號進行回應，並將其本身儲存之BIOS程式碼資料載入中央處理器10中。如此，不論唯讀記憶體16、儲存於唯讀記憶體16中之BIOS程式碼甚或是南橋晶片28發生問題時，都可以藉由使用切換信號產生器282強制禁止中央處理器10之A20開後忽略這些問題，而直接由除錯系統開機。此外，由於除錯介面卡24與另一除錯用之電腦系統4連接，其所儲存之BIOS程式碼還可經由電腦系統4進行編程。

在使用除錯系統進行開機時，還可以進行以下幾個程



## 五、發明說明 (9)

序：

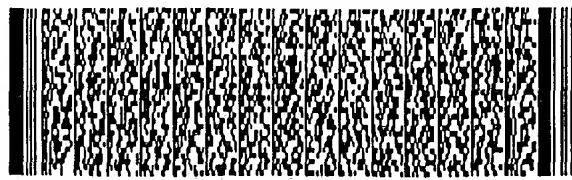
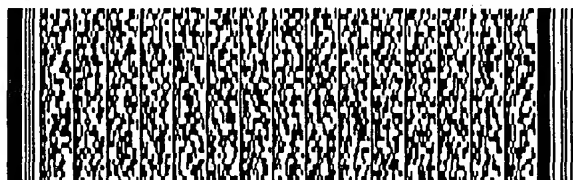
1. 由於除錯用之電腦系統4與PCI匯流排連接，可以在電腦系統4中使用軟體之方式，經由除錯介面卡24及北橋晶片20直接讀取在開機作業開始時，中央處理器10中暫存器(register)所儲存之資料內容。在傳統上，這個步驟只能以邏輯分析或使用示波器直接讀取腳位信號來達成。

2. 在南橋晶片28及唯讀記憶體16沒有損壞之情形下，利用電腦系統4經由除錯介面卡24、南橋晶片28讀取儲存於唯讀記憶體16中可能已發生錯誤之BIOS程式碼資料，以進行分析比對。

3. 在南橋晶片28及唯讀記憶體16沒有損壞之情形下，利用電腦系統4經由除錯介面卡24、南橋晶片28將正確之BIOS程式碼燒入唯讀記憶體16中。

綜合上述，本發明提供一種可使用除錯系統開機之方法及電腦系統，利用一切換信號產生器來開啟或強制禁止中央處理器中之A20閘，使中央處理器發出之資料要求指向位址改變，而轉向除錯系統，如此便可以忽略唯讀記憶體中之BIOS而由除錯系統接手開機程序，進而進行BIOS之修正或錯誤分析。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖顯示了本發明一實施例中可使用除錯系統開機之電腦系統方塊圖。

第2圖顯示了第1圖之電腦系統所使用之信號時序。

### [符號說明]

- 10~中央處理器；
- 101~A20 閘腳位；
- 102~切換信號產生器；
- 12~系統匯流排；
- 13~快取記憶體；
- 16~唯讀記憶體；
- 20~北橋晶片；
- 22~顯示卡；
- 24~除錯介面卡；
- 28~南橋晶片；
- 283~位址解碼器；
- 30~擴充匯流排；
- 32a、32b、32c~擴充匯流排插槽；
- 4~除錯用電腦系統。



## 六、申請專利範圍

1. 一種可使用除錯系統開機之方法，適用於一電腦系統，該電腦系統具有一中央處理器、一系統匯流排、一週邊匯流排、一擴充匯流排、一第一及第二橋接器、以及一連接至該擴充匯流排且儲存有第一基本輸出入系統程式碼之唯讀記憶體，該除錯系統係連接至該週邊匯流排，該方法包括以下步驟：

將該中央處理器切換至一正常模式，在該正常模式下，該中央處理器在該系統匯流排上放出一指向該唯讀記憶體之第一資料要求；

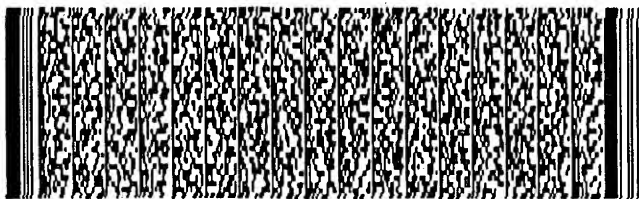
將該中央處理器切換至一除錯模式，在該除錯模式下，該中央處理器在該系統匯流排上放出一指向該除錯系統之第二資料要求；

由該第一橋接器將位於該系統匯流排上之第一或第二資料要求轉送至該週邊匯流排上；

使該第二橋接器以儲存於該唯讀記憶體中之第一基本輸出入系統程式碼回應位於該週邊匯流排上之第一資料要求，而將該第一基本輸出入系統程式碼載入該中央處理器；以及

使該除錯系統以一第二基本輸出入系統程式碼回應該第二資料要求，而將該第二基本輸出入系統程式碼載入該中央處理器。

2. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中該第二基本輸出入系統程式碼係由該除錯系統進行編程。



#### 六、申請專利範圍

3. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中該除錯系統包括：

一 介面卡，連接至該週邊匯流排；以及

一 第二電腦系統，連接至該介面卡。

4. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中更包括以下步驟：

當該中央處理器被切換至該除錯模式時，由該除錯系統讀取並顯示該中央處理器中複數暫存器之儲存內容。

5. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中更包括以下步驟：

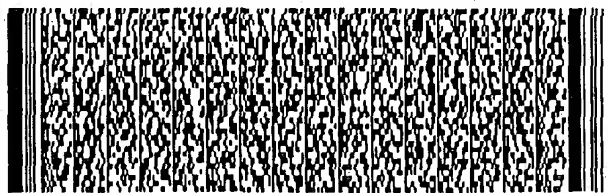
當該中央處理器被切換至該除錯模式時，由該除錯系統經由該第二橋接器自該唯讀記憶體中讀取該第一基本輸入系統程式碼。

6. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中更包括以下步驟：

當該中央處理器被切換至該除錯模式時，由該除錯系統經由該第二橋接器將該第二基本輸入系統程式碼燒入該唯讀記憶體中。

7. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中係藉由開啟或強制禁止該中央處理器之一A20閘而將該中央處理器切換於該正常與除錯模式之間。

8. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中該週邊及擴充匯流排分別為PCI及ISA匯流排，該第一及第二橋接器分別為北橋及南橋。





## 六、申請專利範圍

9. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中該第二橋接器係藉由送出一裝置選擇信號至週邊匯流排上、將該第一資料要求中之位址進行解碼並依據該位址讀取存於該唯讀記憶體中相對第一基本輸出入系統程式碼來回應該資料要求。

10. 如申請專利範圍第1項所述之可使用除錯系統開機之方法，其中該除錯系統係藉由送出一裝置選擇信號至週邊匯流排上、將該第二資料要求中之位址進行解碼並依據該位址讀取存於該唯讀記憶體中相對第二基本輸出入系統程式碼來回應該資料要求。

11. 一種可使用除錯系統開機之電腦系統，包括：

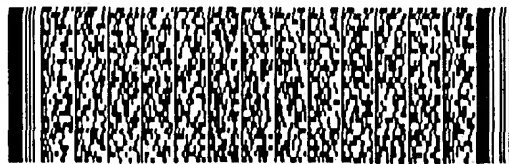
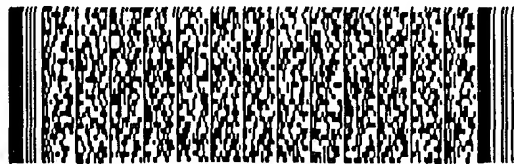
一中央處理器，可切換於一正常模式及除錯模式之間，在該正常模式下，該中央處理器在該系統匯流排上放出一第一資料要求，而在該除錯模式下，該中央處理器在該系統匯流排上放出一指向該除錯系統之第二資料要求；

一系統、週邊及擴充匯流排，其中該中央處理器放出該第一或第二資料要求至該系統匯流排上，該除錯系統係連接至該週邊匯流排；

一唯讀記憶體，連接至該擴充匯流排並儲存有一第一基本輸出入程式碼，該第一資料要求係指向該唯讀記憶體；

一第一橋接器，將位於該系統匯流排上之該第一或第二資料要求轉送至該週邊匯流排；以及

一第二橋接器，以儲存於該唯讀記憶體中之第一基本



#### 六、申請專利範圍

輸出入系統程式碼回應位於該週邊匯流排上之第一資料要求，而將該第一基本輸出入系統程式碼載入該中央處理器；

其中，該除錯系統以一第二基本輸出入系統程式碼回應該第二資料要求，而將該第二基本輸出入系統程式碼載入該中央處理器。

12. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中該第二基本輸出入系統程式碼係由該除錯系統進行編程。

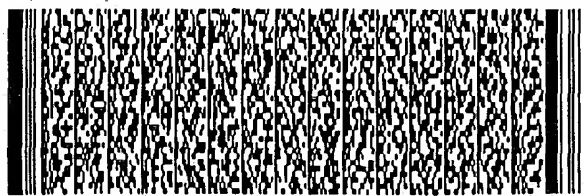
13. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中該除錯系統包括：

- 一介面卡，連接至該週邊匯流排；以及
- 一第二電腦系統，連接至該介面卡。

14. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中當該中央處理器被切換至該除錯模式時，該除錯系統讀取並顯示該中央處理器中複數暫存器之儲存內容。

15. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中當該中央處理器被切換至該除錯模式時，該除錯系統經由該第二橋接器自該唯讀記憶體中讀取該第一基本輸出入系統程式碼。

16. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中當該中央處理器被切換至該除錯模式時，該除錯系統經由該第二橋接器將該第二基本輸出入系



#### 六、申請專利範圍

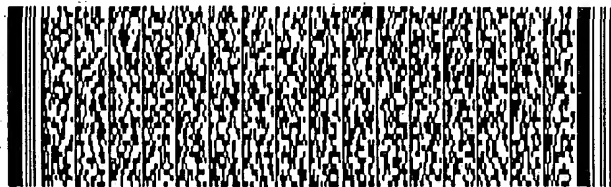
統程式碼燒入該唯讀記憶體中。

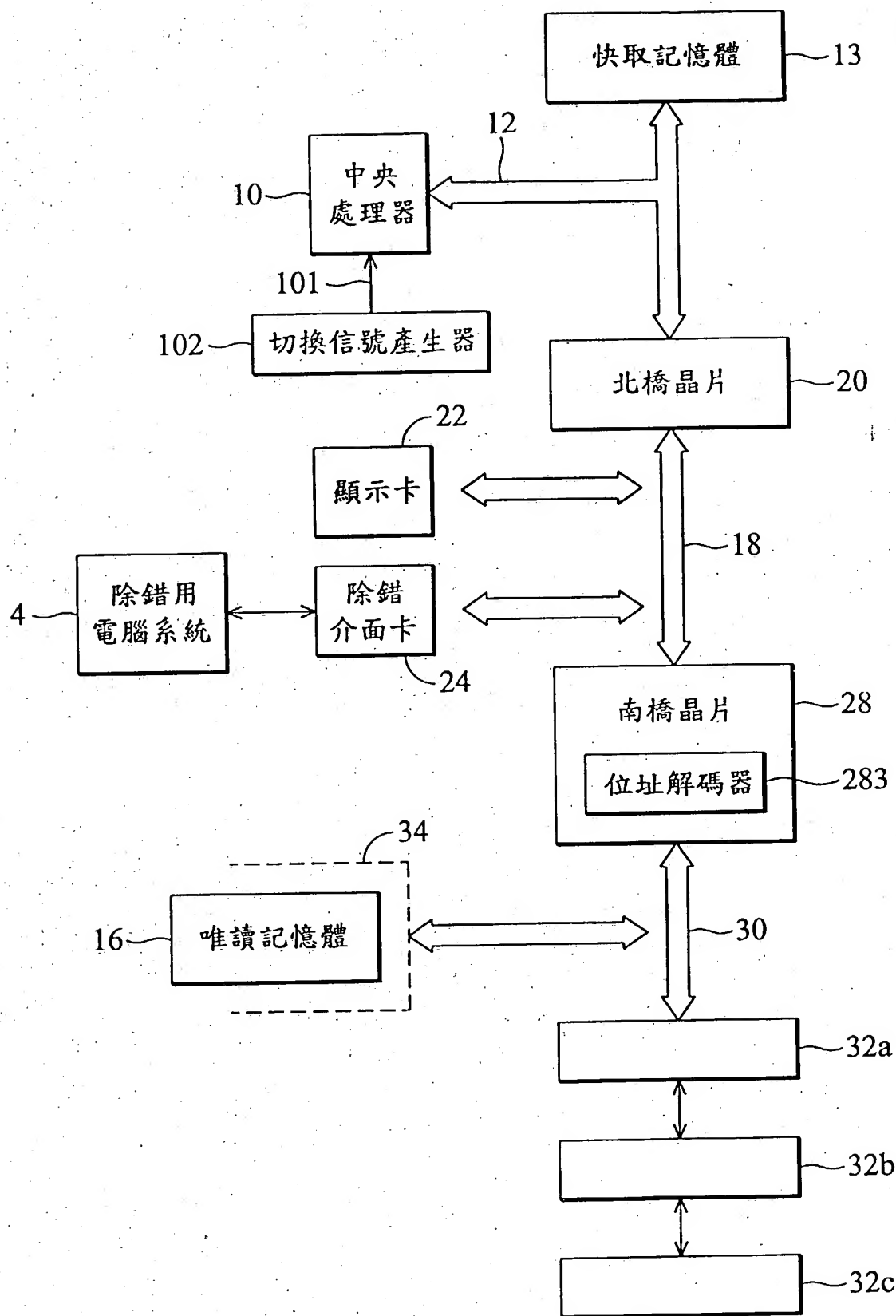
17. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中該中央處理器具有一A20閘，藉由開啟及強制禁止該A20閘而進行正常模式與除錯模式間之切換。

18. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中該週邊及擴充匯流排分別為PCI及ISA匯流排，該第一及第二橋接器分別為北橋及南橋。

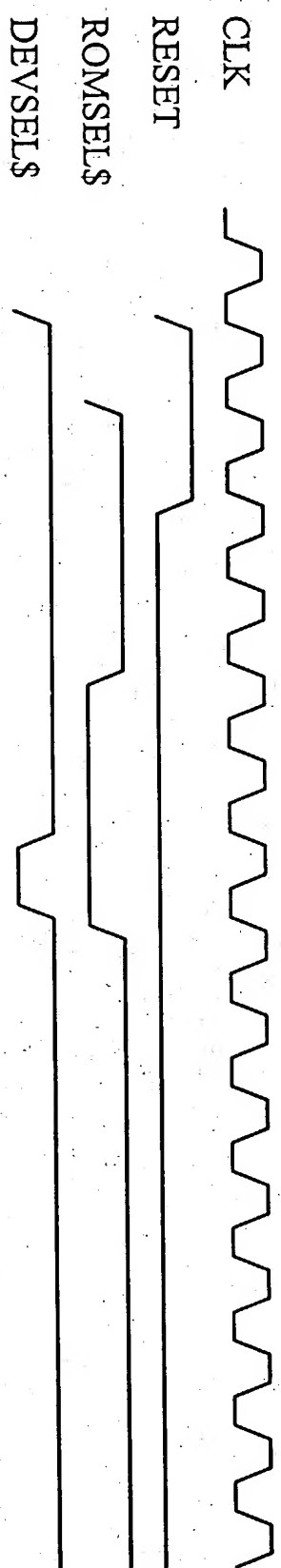
19. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中該第二橋接器係藉由送出一裝置選擇信號至週邊匯流排上、將該資料要求中之位址進行解碼並依據該位址讀取存於該唯讀記憶體中相對第一基本輸出入系統程式碼來回應該第一資料要求。

20. 如申請專利範圍第11項所述之可使用除錯系統開機之電腦系統，其中該除錯系統係藉由送出一裝置選擇信號至週邊匯流排上、將該第二資料要求中之位址進行解碼並依據該位址讀取存於該唯讀記憶體中相對第二基本輸出入系統程式碼來回應該第二資料要求。



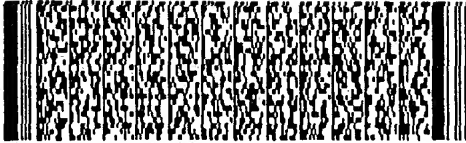


第 1 圖

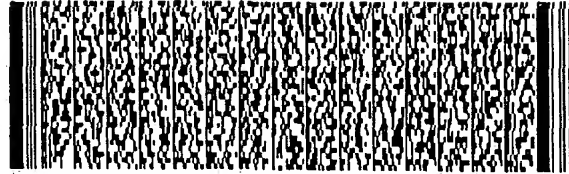


第 2 圖

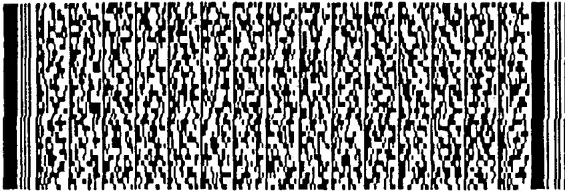
第 1/18 頁



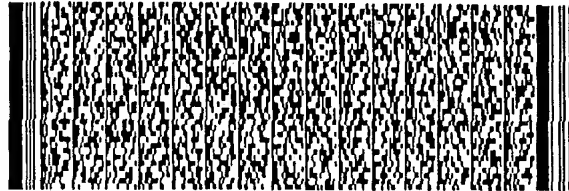
第 2/18 頁



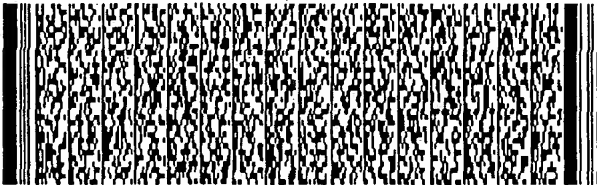
第 4/18 頁



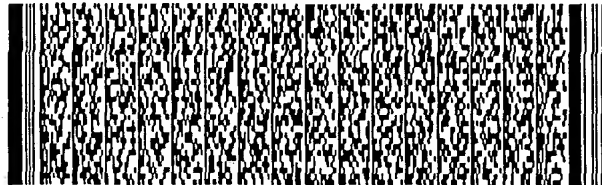
第 4/18 頁



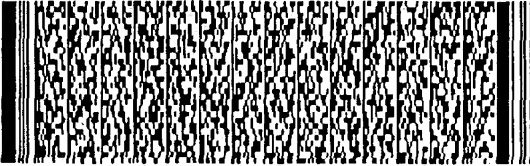
第 5/18 頁



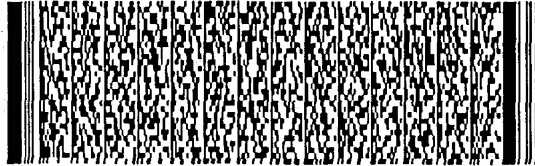
第 5/18 頁



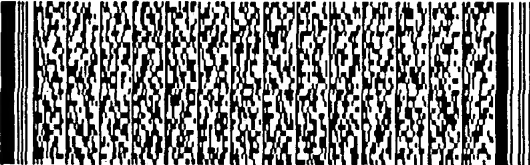
第 6/18 頁



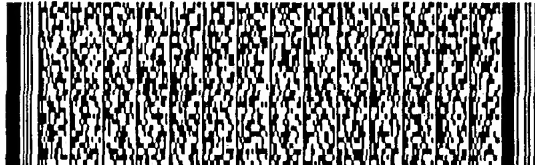
第 6/18 頁



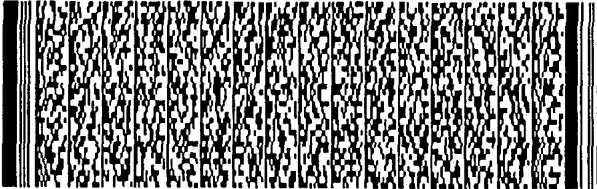
第 7/18 頁



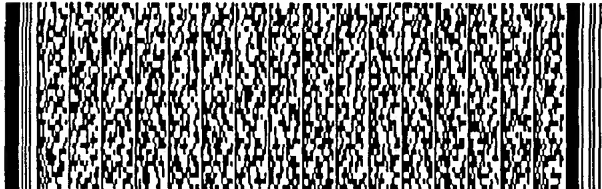
第 7/18 頁



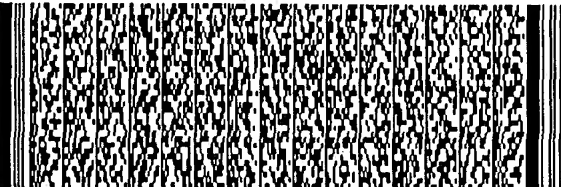
第 8/18 頁



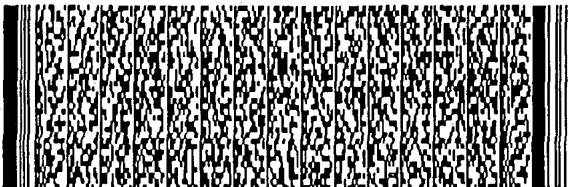
第 8/18 頁



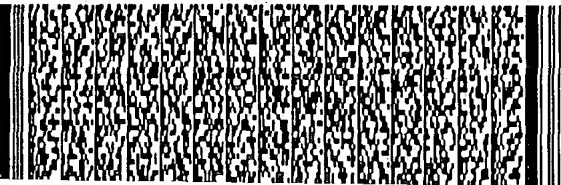
第 9/18 頁



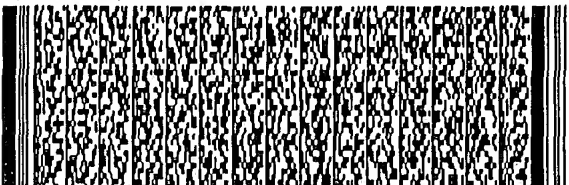
第 9/18 頁



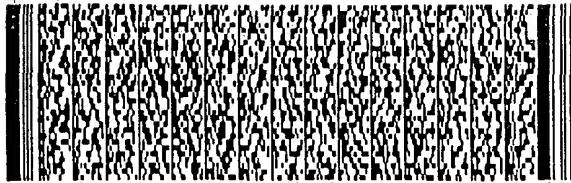
第 10/18 頁



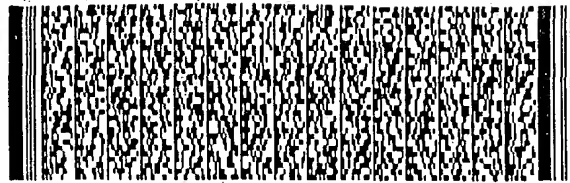
第 10/18 頁



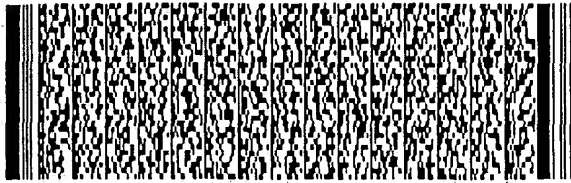
第 11/18 頁



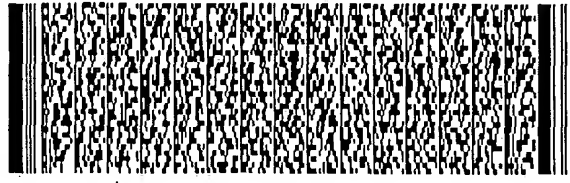
第 11/18 頁



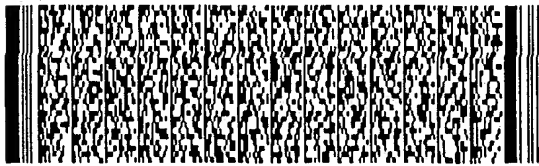
第 12/18 頁



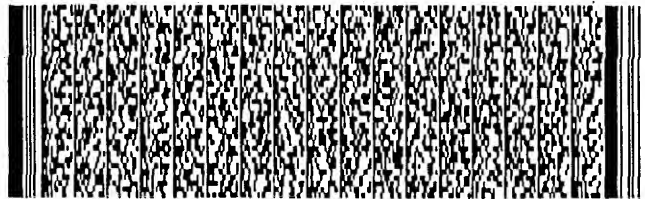
第 12/18 頁



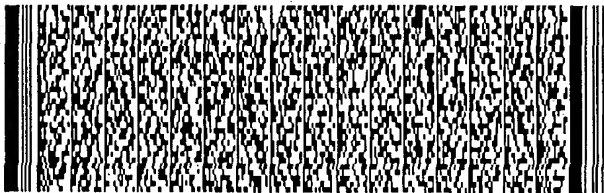
第 13/18 頁



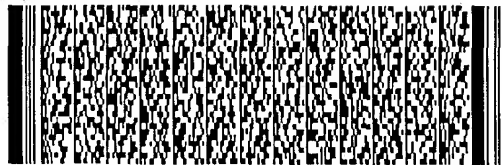
第 14/18 頁



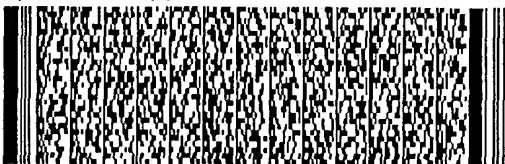
第 15/18 頁



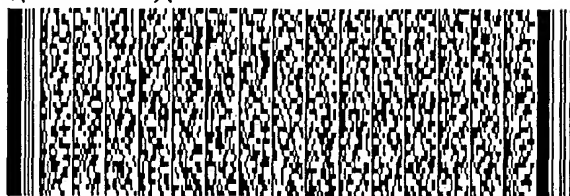
第 16/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

